

## 審査結果の要旨

氏名 東郷 光洋

本論文は、「サブ 100nmCMOSFET 用極薄ゲート酸化膜の研究」と題し、MOSFET の高性能・低消費電力化を実現するための極薄ゲート酸化膜形成とデバイス統合プロセスに関するもので、全 9 章より構成される。

第 1 章は「序論」であり、従来の MOS トランジスタゲート絶縁膜技術とその課題を述べ、本論文の背景と目的を明確にしている。

第 2 章は、「極薄ゲート絶縁膜の膜厚測定方法」と題し、ゲートリーク電流の顕著な影響を受けないトランジスタのしきい値の基板電圧依存性から酸化膜換算膜厚を求める方法として、トランジスタのしきい値の基板電圧依存性を用いる方法を提案した。本方法は、酸化膜の膜質や誘電率に依存せずに酸化膜換算膜厚を 1.3nm まで導出することができることを明らかにした。

第 3 章は、「ラジカル酸化法によるゲート絶縁膜の特性」と題し、サブ 100nmCMOS に必要である低リーク 1.5nm 級ゲート絶縁膜の形成技術として、ラジカル酸化法を提案した。窒素プロファイルがゲート絶縁膜特性およびデバイス特性に与える影響を検討し、デバイス特性を維持したゲートリーク電流低減効果は 1.12nm まで、回路特性を満たすゲートリーク電流低減効果は 1.3nm まで使用可能であることを明らかにした。

第 4 章は、「酸化種・窒化種の影響と MOS トランジスタ特性」と題し、サブ 100nmCMOS 向けの低リーク・高信頼 1.5nm 級ゲート酸化膜形成時の酸化種・窒化種が、n/pMOSFET のデバイス特性へ与える影響を検討した。酸素イオン・窒素イオンを減らし、酸素ラジカル・窒素ラジカルが主成分となるゲート酸化膜形成方法がデバイス形成に適していることを明らかにした。

第 5 章は、「Si 面方位の違いの影響」と題し、シャロウ・トレンチ・アイソレーション(STI, Shallow Trench Isolation) がゲート絶縁膜の膜質に与える影響を検討した。酸素ラジカル・窒素ラジカルによるゲート酸化膜は、STI を用いたトランジスタにおいて逆狭チャンネル効果を抑制し、低リークかつ高信頼な 1.3~1.7nm ゲート絶縁膜を形成できることを明らかにした。

第 6 章は、「ラジカル酸化・窒化のメカニズム」と題し、ラジカル酸化法を用いたゲート酸化膜形成の制御性向上のために、酸化・窒化のメカニズムを検討した。ラジカル酸化法を用いる場合、ベース酸化膜厚および窒化種の制御が重要であることを明らかにした。

第 7 章は、「チャンネル制御用不純物注入のゲート絶縁膜に与える影響」と題し、しきい値制御用不純物注入時に生じるノックオン酸素が、サブ 100nmCMOS ロジック用の膜厚 1.5nm ゲート酸化膜の膜質および膜形成機構に与える影響を検討した。しきい値制御用の不純物イオン注入を、犠牲酸化膜を用いず直接 Si 基板へ行った場合、ノックオン酸素が Si 基板へ導入されず、ゲート絶縁膜の膜質劣化およびデバイス特性劣化を改善することができることを明らかにした。

第 8 章は、「マルチオキシド形成技術」と題し、マルチオキシドのゲート絶縁膜形成技術を検討した。ドーズ量  $5 \times 10^{13} \text{ cm}^{-2}$  の窒素注入とドーズ量  $5 \times 10^{14} \text{ cm}^{-2}$  のアルゴンイオン注入により、酸化膜の信頼性とデバイス特性を劣化させずに 20% の膜厚差のマルチオキシドを形成することができることを明らかにした。

第 9 章は「結論」であり、本論文の結論を述べるとともに、酸化膜と他の高誘電率膜との比較を行い、酸化ゲート絶縁膜の実用化が達成されつつあることを述べている。

以上のように本論文は、ゲートリーク電流を抑制した MOS トランジスタ用極薄ゲート絶縁膜としてラジカル酸化膜を作製し、その形成プロセスの最適化によりデバイス特性の高性能化を実現したものであって、電子工学上寄与するところが少なくない。

よって本論文は博士（工学）の学位請求論文として合格と認められる。